

DISPLAY DEVICE

Patent number: JP2002040961
Publication date: 2002-02-08
Inventor: HASHIMOTO YOSHIHARU
Applicant: NEC CORP
Classification:
 - international: G09F9/30; G09G3/20; G09G3/30
 - european:
Application number: JP20000228405 20000728
Priority number(s):

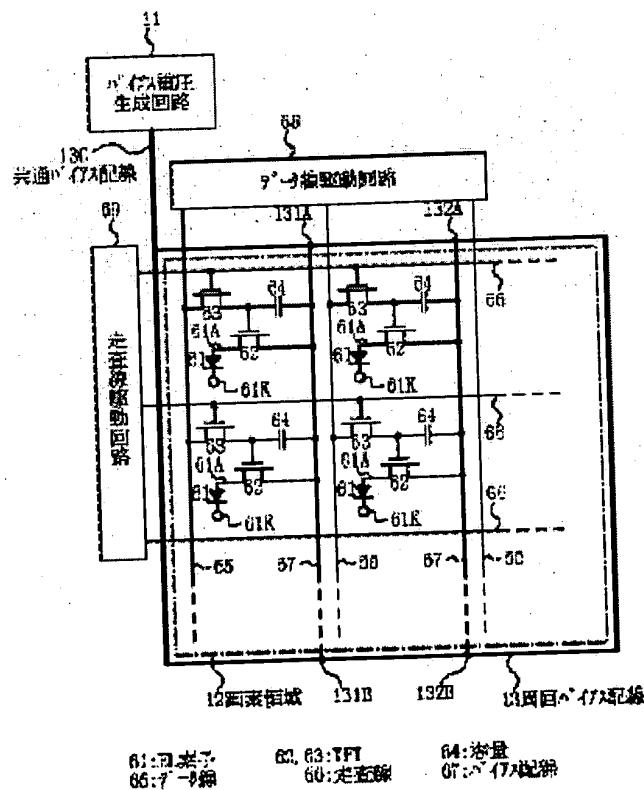
Also published as:

US6633270 (B2)
 US2002011976 (A1)

Abstract of JP2002040961

PROBLEM TO BE SOLVED: To provide a display device which reduces decrease in brightness due to reduction in a current flowing through light emitting elements caused by resistance of bias wiring, and uneven brightness of a display picture caused by unevenness of the resistance of the bias wiring from a bias voltage source to each pixel, by decreasing and also uniformizing the resistance of the bias wiring from a bias voltage generating circuit to each pixel even when the number pixels is increased and the bias wiring length has to be longer.

SOLUTION: EL elements 61, TFTs 62, 63, data lines 65, scanning lines 66, bias wiring 67 are arranged in a matrix form and a circumferential bias wiring 13 and the bias wiring arranged in a ring form outside a pixel area 12 are connected at nodes 131A, ..., and 132A, Through this wiring structure, it is possible to reduce the high resistance of the bias wiring 67.



Data supplied from the esp@cenet database - Patent Abstracts of Japan

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-40961

(P2002-40961A)

(43)公開日 平成14年2月8日(2002.2.8)

(51)Int.Cl. ⁷	識別記号	F I	テマコード*(参考)
G 09 F 9/30	3 3 8	G 09 F 9/30	3 3 8 5 C 0 8 0
	3 6 5		3 6 5 Z 5 C 0 9 4
G 09 G 3/20	6 2 1	G 09 G 3/20	6 2 1 M
	6 8 0		6 8 0 G
	3/30	3/30	Z

審査請求 未請求 請求項の数8 OL (全9頁)

(21)出願番号 特願2000-228405(P2000-228405)

(22)出願日 平成12年7月28日(2000.7.28)

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 橋本 義春

東京都港区芝五丁目7番1号 日本電気株式会社内

(74)代理人 100082935

弁理士 京本 直樹 (外2名)

Fターム(参考) 5C080 AA06 BB05 DD05 DD26 FF11

JJ02 JJ06 KK07 KK47

5C094 AA03 BA03 BA27 BA43 CA19

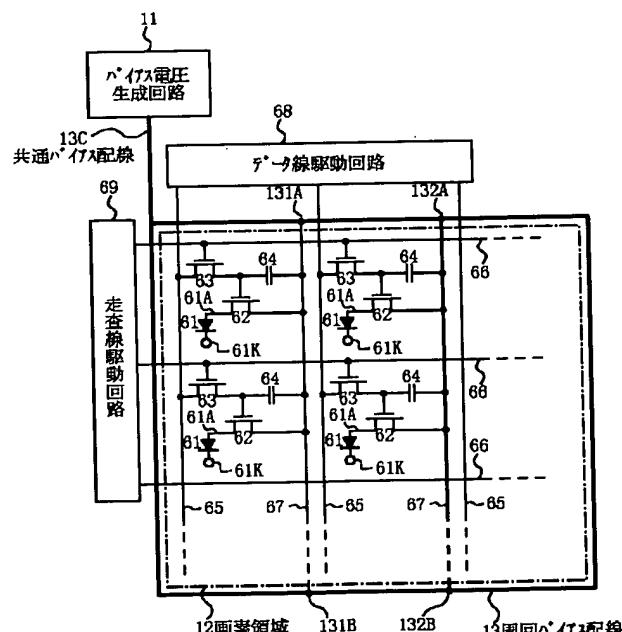
EA04 EA07 GA10

(54)【発明の名称】 表示装置

(57)【要約】

【課題】画素数が多くなってバイアス配線の配線長が長くなった場合においても、バイアス電圧生成回路から各画素に至るバイアス配線の配線抵抗を小さくすると共に均一化し、バイアス配線の配線抵抗に起因し発光素子に流れる電流の減少による輝度の低下や、バイアス電圧源から各画素に至るバイアス配線の配線抵抗の不均一による表示画面の輝度ムラを改善した表示装置を提供する。

【解決手段】EL素子61とTFT62, 63とデータ線65と走查線66とバイアス配線67とがマトリクス状に配置され、画素領域12の外側にリング状に配置した周回バイアス配線13とバイアス配線67とは、節点131A・および節点132A・により接続されている。この配線構造を用いることにより、配線抵抗が高いバイアス配線67の配線抵抗を小さくすることが可能である。



61:EL素子
65:走査線

62, 63:TFT
66:データ線

64:容量
67:バイアス配線

【特許請求の範囲】

【請求項1】 アクティブマトリクス型表示装置であつて、発光素子とスイッチとトランジスタを含む画素をマトリクス状に配置した画素領域と、第1の方向に配置した走査線と、前記第1の方向に対して平面的に垂直な方向である第2の方向に配置したデータ線と、前記第2の方向に配置したバイアス配線と、前記バイアス配線に出力端子からバイアス電圧を出力するバイアス電圧生成回路と、前記画素領域の外側にリング状に配置した周回バイアス配線と、この周回バイアス配線と前記バイアス電圧生成回路の出力端子とを接続する共通バイアス配線とを備え。

前記発光素子の一端が前記トランジスタのソースまたはドレインに接続され、前記トランジスタのソースまたはドレインの他方が、前記バイアス配線に接続され、前記トランジスタのゲートが前記スイッチを介して前記データ線に接続され、前記バイアス配線は、少なくとも前記周回バイアス配線と交差する箇所において接続され、前記走査線を活性化することにより前記スイッチは導通し、前記データ線と前記スイッチを介して画像信号が前記トランジスタのゲートに印加され、前記バイアス電圧生成回路から前記共通バイアス配線と前記周回バイアス配線と前記バイアス配線とを介して前記発光素子に流れる電流が所定値となるように、前記共通バイアス配線と前記周回バイアス配線の各配線抵抗を定めることを特徴とする表示装置。

【請求項2】 前記トランジスタのゲートと、前記トランジスタのソースまたはドレインの他方との間に容量が接続されていることを特徴とする請求項1記載の表示装置。

【請求項3】 前記発光素子は、EL（エレクトロルミネセンス）素子であることを特徴とする請求項1記載の表示装置。

【請求項4】 前記周回バイアス配線は、複数の単位周回バイアス配線を接続して構成され、前記バイアス電圧生成回路からの距離が近い方の前記単位周回バイアス配線の単位長当たりの配線抵抗が、前記バイアス電圧生成回路からの距離が前記近い方の前記単位周回バイアス配線よりも相対的に遠い方の前記単位周回バイアス配線の単位長当たりの配線抵抗よりも小さいことを特徴とする請求項1記載の表示装置。

【請求項5】 前記周回バイアス配線は、所定の抵抗率よりも小さい抵抗率を有する配線材料からなる第1の配線層と、前記第1の配線層と配線層を異にする前記走査線の配線層または前記データ線の配線層とを縦方向に積層して構成され、かつ所定の箇所でピアホールを介して接続されることを特徴とする請求項1記載の表示装置。

【請求項6】 前記周回バイアス配線の面積を所定の面積よりも大きくすることにより、周回バイアス配線を雑音除去用の容量として用いることを特徴とする請求項1

記載の表示装置。

【請求項7】 前記周回バイアス配線の対抗する2辺の所定箇所を接続するよう、前記第1の方向に沿って配線したバイアスバス配線を設けることを特徴とする請求項1記載の表示装置。

【請求項8】 アクティブマトリクス型表示装置であつて、発光素子とスイッチとトランジスタを含む画素をマトリクス状に配置した画素領域と、行方向に配置した走査線と、列方向に配置したデータ線と、列方向に配置した第1列乃至第N（Nは2以上の整数）列のバイアス配線と、前記第1乃至第Nのバイアス配線に第1乃至第Nの出力端子からバイアス電圧を出力するバイアス電圧生成回路と、前記画素領域の外側にリング状に配置した第1乃至第Nの周回バイアス配線と、これらの周回バイアス配線と前記バイアス電圧生成回路の第1乃至第Nの出力端子とを接続する第1乃至第Nの共通バイアス配線とを備え。

前記発光素子の一端が前記トランジスタのソースまたはドレインに接続され、第1列乃至第N列に属する前記トランジスタのソースまたはドレインの他方が、それぞれ前記第1乃至第Nのバイアス線に接続され、前記トランジスタのゲートが前記スイッチを介して前記データ線に接続され、前記第1列乃至第N列のバイアス配線は、それぞれ少なくとも対応する第1乃至第Nの前記周回バイアス配線と交差する箇所において接続され、

前記走査線を活性化することにより前記スイッチは導通し、前記データ線と前記スイッチを介して画像信号が前記トランジスタのゲートに印加され、前記バイアス電圧生成回路から前記第1乃至第Nの共通バイアス配線と前記第1乃至第Nの周回バイアス配線と前記第1列乃至第N列のバイアス配線とを介して、前記発光素子に流れる電流が所定値となるように、前記第1乃至第Nの共通バイアス配線と前記第1乃至第Nの周回バイアス配線の各配線抵抗を定めることを特徴とする表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、能動素子を有するアクティブマトリクス方式の表示装置に関し、特に有機ELなどの自発光型素子を有するアクティブマトリクス方式の表示装置に関する。

【0002】

【従来の技術】 最近モードの携帯電話機に代表されるように、携帯用情報端末が急速に普及しており、この携帯用情報端末の表示装置として従来、液晶表示装置が広く用いられている。

【0003】 液晶表示装置にバックライトを組み込んだ場合は、画面全体の輝度を上げるために消費電力が大きくなるという問題があり、日経エレクトロニクス2000年3月13日号（no765）の55ページ～6

50 2ページに、携帯用情報端末に適した表示装置として有

機ELを組み込んだ表示装置（以下有機EL表示装置と記す）が紹介されている。

【0004】上記文献に記載されている主要な内容について、以下に説明する。

【0005】電流を流すことにより発光する自発光型素子を用いた表示装置として、PDP（プラズマディスプレイ）やEL（エレクトロルミネセンス）表示装置が知られている。ELは無機ELと有機ELに分類され、さらに構造から単純マトリクス方式とアクティブマトリクス方式に分類される。

【0006】図5に、単純マトリクス方式を用いた有機EL表示装置の概念的ブロック図を示す。

【0007】単純マトリクス方式の有機EL表示装置は、図5に示すようにEL素子51と、EL素子51のアノードとカソード間に接続された容量52と、アノードに接続されたデータ線53と、カソードに接続された走査線54とを含む画素をマトリクス状に配置している。

【0008】さらに、データ線駆動回路55と走査線駆動回路56とを有しており、データ線駆動回路55と走査線駆動回路56は、それぞれデータ線53と走査線54の中から1本ずつを活性化し、それぞれの線に接続しているEL素子51に対して、データ線53から走査線54に向かって電流を流し、EL素子51を電流値に応じた輝度で発光させる。

【0009】このように単純マトリクス方式の有機EL表示装置の構造は比較的単純で、製造コストを抑えやすいが、画素数を多くして高精細化するのが難しい。同方式では、走査線を1本ずつ選択し画素を発光させているため、各画素の発光時間は1フレーム期間の1／走査線数になる。この限られた時間で一定の輝度を保つためには、各画素に瞬間に大電流を流す必要がある。

【0010】また画素数を多くするとデータ線53の配線長は増大するが、データ線53の配線材料としては、透明なITO(indium tin oxide)などを使用するため配線抵抗率が高く、データ線53の配線長の増大と共にデータ線53の配線抵抗が大きくなる。

【0011】このためデータ線53の配線抵抗が増大することと、データ線53に大電流が流れることにより、データ線53に大きな電圧降下が生じることになる。

【0012】従ってこの大きな電圧降下により、データ線駆動回路55に近いデータ線53上の電圧に比して、データ線駆動回路55に遠いデータ線53上の電圧は小さくなり、この結果データ線駆動回路55に遠いデータ線53に接続するEL素子51に流れる電流は低下する。

【0013】すなわちデータ線53の配線抵抗に起因して、データ線駆動回路55に遠いデータ線53に接続するEL素子51に流れる電流が低下するため、EL素子

51の発光量が減少し、表示画面に輝度ムラが生じる。具体的には、データ線駆動回路55に遠い画素の輝度が低下する。

【0014】次に図6に示すブロック図を参照して、従来のアクティブマトリクス方式の有機EL表示装置について説明する。

【0015】従来のアクティブマトリクス方式の有機EL表示装置は、図6に示すようにEL素子61と、EL素子61のアノードとバイアス配線67間に接続されたTFT(薄膜トランジスタ)62と、TFT62のゲートとデータ線65間に接続されたTFT63と、TFT62のゲートとバイアス配線67間に接続された容量64とをマトリクス状に配置している。

【0016】さらに、データ線駆動回路68と走査線駆動回路69とバイアス電圧源610とを有しており、走査線駆動回路69により走査線66が活性化されると、活性化された走査線66に接続しているTFT63は導通状態となり、データ線駆動回路68からデータ線65とTFT63を介して容量64に電流が流れ容量64が充電される。

【0017】これにより、TFT62のゲート電圧がしきい値よりも高くなるとTFT62が導通し、バイアス電圧源610からバイアス配線67を介してEL素子61に電流が供給され、EL素子61は電流値に応じた輝度で発光する。

【0018】上記に説明したことからわかるように、アクティブマトリクス方式の有機EL表示装置は、単純マトリクス方式の有機EL表示装置の場合と異なり、走査線数を増やしてもフレーム期間と同じ発光時間を確保することができるという特徴がある。

【0019】ここで液晶を用いたアクティブマトリクス方式の液晶表示装置とアクティブマトリクス方式の有機EL表示装置とを比較すると、アクティブマトリクス方式の液晶表示装置の透過率（すなわち、アクティブマトリクス方式の有機EL表示装置の輝度に相当）は液晶に加える電圧に比例するが、アクティブマトリクス方式の有機EL表示装置の輝度は電流に比例し、バイアス電圧源610からバイアス配線67に出力される電圧は通常一定の電圧に固定されている。

【0020】有機EL表示装置は電流駆動型の表示装置のため、アクティブマトリクス方式の液晶表示装置で使用しているような単純にオン／オフ動作するだけのTFTは使用できず、十分な電流が流せるだけのオン抵抗が小さいTFTが必要になる。

【0021】このようなTFTはもっとも一般的なアモルファスシリコンTFTの製造技術では実現しにくく、一部の高精細表示装置で使用されている低温ポリシリコンTFTの製造プロセスを使用する必要がある。

【0022】低温ポリシリコンTFTはガラス基板上にTFTや駆動回路を形成することができ、一般に多階調

表示する場合、走査線側のほぼ全回路とデータ線側の一部の回路（選択スイッチ）をガラス基板上に形成し、階調を制御するための複雑な回路は、単結晶基板上に形成した半導体集積回路で実現している。

【0023】フルカラー化する技術として、アクティブマトリクス方式の液晶表示装置では、赤、緑、青色のカラーフィルタを使用している。アクティブマトリクス方式の有機EL表示装置では、赤色、緑色、青色にそれぞれ発光する有機ELを配置してフルカラー化する方法が知られている。しかし、赤色に発光する有機ELの寿命が他の色の有機ELに比べ短いことや発光色が純粋な赤ではなくオレンジ色に近いなど問題も多い。また、赤色、緑色、青色を混色させて白色を生成し、液晶表示装置のようにカラーフィルタで赤色、緑色、青色にそれぞれ対応する画素を作る方法もある。

【0024】

【発明が解決しようとする課題】上述した従来の単純マトリクス方式の有機EL表示装置は、画素数が多くなった場合にデータ線の配線長が長くなり、データ線の配線抵抗が大きくなる。

【0025】このためデータ線の配線抵抗が増大することと、データ線に大電流が流れることによりデータ線に大きな電圧降下が生じ、駆動回路に遠いデータ線に接続するEL素子に流れる電流が低下するため、EL素子の発光量が減少し表示画面に輝度ムラが生じるという問題がある。

【0026】一方、アクティブマトリクス方式の有機EL表示装置は、走査線数を増やしてもフレーム期間と同じ発光時間を確保することができるという特徴があるものの、上述した単純マトリクス方式の有機EL表示装置の問題点と同様に、画素数が多くなった場合に透明電極であるバイアス配線の配線抵抗率が大きいことと、バイアス配線の配線長が長くなることにより、バイアス配線の配線抵抗が増大し、バイアス電圧源から遠い画素の輝度が低下すると共に表示画面に輝度ムラが生じるという基本的な問題がある。

【0027】また従来の単純マトリクス方式の有機EL表示装置と従来のアクティブマトリクス方式の有機EL表示装置共通の問題として、バイアス配線の配線抵抗による画素の輝度が低下するのを補うために、余分にバイアス電圧源から電力を供給しなければならず、低消費電力を要求される表示装置の場合には重大な問題となる。

【0028】このため本発明の目的は、画素数が多くなってバイアス配線の配線長が長くなった場合においても、バイアス電圧生成回路から各画素に至るバイアス配線の配線抵抗を小さくすると共に均一化し、バイアス配線の配線抵抗に起因し発光素子に流れる電流の減少による輝度の低下や、バイアス電圧源から各画素に至るバイアス配線の配線抵抗の不均一による表示画面の輝度ムラを改善した表示装置を提供することにある。

【0029】また、バイアス配線の配線抵抗を小さくして配線による消費電力を小さくし、消費電力を低減することが可能な表示装置を提供することにある。

【0030】

【課題を解決するための手段】そのため、本発明による表示装置は、アクティブマトリクス型表示装置であって、発光素子とスイッチとトランジスタを含む画素をマトリクス状に配置した画素領域と、第1の方向に配置した走査線と、前記第1の方向に対して平面的に垂直な方向である第2の方向に配置したデータ線と、前記第2の方向に配置したバイアス配線と、前記バイアス配線に出力端子からバイアス電圧を出力するバイアス電圧生成回路と、前記画素領域の外側にリング状に配置した周回バイアス配線と、この周回バイアス配線と前記バイアス電圧生成回路の出力端子とを接続する共通バイアス配線とを備え、前記発光素子の一端が前記トランジスタのソースまたはドレインに接続され、前記トランジスタのソースまたはドレインの他方が、前記バイアス配線に接続され、前記トランジスタのゲートが前記スイッチを介して前記データ線に接続され、前記バイアス配線は、少なくとも前記周回バイアス配線と交差する箇所において接続され、前記走査線を活性化することにより前記スイッチは導通し、前記データ線と前記スイッチを介して画像信号が前記トランジスタのゲートに印加され、前記バイアス電圧生成回路から前記共通バイアス配線と前記周回バイアス配線と前記バイアス配線とを介して前記発光素子に流れる電流が所定値となるように、前記共通バイアス配線と前記周回バイアス配線の各配線抵抗を定めることを特徴としている。

【0031】

【発明の実施の形態】次に、本発明の表示装置の第1の実施の形態について図面を参照して説明する。

【0032】図1は、発明の表示装置の第1の実施の形態を示すブロック図を表すと共に、本発明の表示装置を構成する構成要素の概略的なレイアウトを示す概略レイアウト図を表す。また、図6と共に構成要素には共通の参照文字／数字を付してある。

【0033】図1に示す表示装置は、アノード61Aと一定電圧にバイアスされたカソード61Kとを有するEL素子61と、EL素子61のアノードとバイアス配線67間に接続されたTFT62と、TFT62のゲートとデータ線65間に接続されスイッチとして動作するTFT63と、TFT62のゲートとバイアス配線67間に接続された容量64とをマトリクス状に配置している。

【0034】また発明の表示装置は、データ線65を駆動するデータ線駆動回路68と、走査線66を駆動する走査線駆動回路69と、バイアス配線67を駆動するバイアス電圧生成回路11とを備えている。

【0035】さらに発明の表示装置は、EL素子61と

TFT62, 63と容量64とを含む画素をマトリクス状に配列した画素領域12の外側に、リング状に配置した周回バイアス配線13を備えている。

【0036】周回バイアス配線13とバイアス電圧生成回路11の出力端子とは、共通バイアス配線13Cにより接続され、画素領域12内部のバイアス配線6.7と周回バイアス配線13とは、節点131A, 131Bおよび節点132A, 132B・・・により接続されている。

【0037】すなわち、図6に示す従来のアクティブマトリクス方式の有機EL表示装置のバイアス配線6.7は、画素領域の一辺に配置された共通配線上の一節点と接続し、この共通配線がバイアス電圧源610の出力端子に接続する配線構造であったが、図1に示す本発明の表示装置は、上下2箇所の節点(131A, 131B), (132A, 132B)・・・でバイアス配線6.7と周回バイアス配線13とが接続されている。

【0038】走査線駆動回路6.9により走査線6.6が活性化されると、活性化された走査線6.6に接続しているTFT6.3は導通状態となり、データ線駆動回路6.8からデータ線6.5とTFT6.3を介して容量6.4に電流が流れ容量6.4が充電される。

【0039】一方走査線駆動回路6.9により走査線6.6が非活性化されると、非活性化された走査線6.6に接続しているTFT6.3は非導通状態となり、容量6.4に充電された電荷は保持されTFT6.2のゲートに接続する容量6.4の端子電圧は一定となる。そして、この端子電圧がTFT6.2のゲートにバイアスされ、TFT6.2のゲート電圧がしきい値よりも高くなるとTFT6.2が導通し、バイアス電圧生成回路11から共通バイアス配線11Cと周回バイアス配線13さらにバイアス配線6.7を介して、EL素子6.1に電流が供給され、EL素子6.1は電流値に応じた輝度で発光する。

【0040】EL素子6.1に流れ込む電流Ie1は、TFT4.2のゲート電圧とソース・ドレイン間の電圧により定まるが、特許公報第2784615号または特開平11-231835号公報に記載されている技術を用いて、ゲートに印加するパルス幅を変えて多階調を実現する場合、TFT6.2のソース・ドレイン間電圧は高々0.1~0.2V程度となり、EL素子6.1のアノード6.1Aの電圧は、バイアス電圧生成回路11から出力される出力電圧VbからTFT6.2のソース・ドレイン間電圧(0.1~0.2V)を引いた値となる。従って、パルス幅変調方式により階調を制御する場合、電流Ie1はバイアス電圧生成回路11から出力される出力電圧Vbにより制御される。

【0041】言い換えるとパルス幅変調方式を用いた本発明の表示装置において、データ線6.5を介して入力する画像信号に対応する階調は、TFT6.2のゲートに印加されるパルス幅により制御され、階調の基準となる輝

度についてはバイアス電圧生成回路11から出力される電圧Vbにより制御される。

【0042】図1において、周回バイアス配線13は、配線抵抗を小さくするために低抵抗率の配線材料を主として用い、配線幅は画素領域12内部の配線である走査線4.6, バイアス配線4.7よりも太くして配線される。

【0043】従って、各画素からバイアス配線6.7および周回バイアス配線13を介してのバイアス電圧生成回路11の出力端子までの配線抵抗は、周回バイアス配線13の配線抵抗が小さいこと、1本のバイアス配線6.7が上下2箇所の節点で周回バイアス配線で接続されていることから、従来の表示装置を構成する各画素からバイアス電圧源610までの配線抵抗よりも大幅に小さくなる。

【0044】一例を挙げて具体的に説明すると、バイアス電圧生成回路11の出力端子から低抵抗の共通バイアス配線13Cと、周回バイアス配線13を介して節点131Aおよび節点1331Bを通ってバイアス配線6.7に電流が流れ込み、さらにこのバイアス配線6.7に接続し活性化されている画素を構成する発光素子に電流が供給される。

【0045】従って、バイアス配線6.7における電圧勾配が大幅に緩和され、発光素子に流れる電流の不均一に起因する輝度ムラが大幅に改善される。

【0046】言い換えると、バイアス電圧生成回路11から出力される出力電圧と、画素領域12内部の画素の輝度、すなわちこの画素を構成する発光素子の輝度に対応する電流とが与えられた場合、これらの値を満足するように、周回バイアス配線13と共に共通バイアス配線13Cの配線抵抗が算出され、算出された配線抵抗値になるように周回バイアス配線13と共に共通バイアス配線13Cが配線される。

【0047】なお周回バイアス配線13は、低抵抗率を有する周回バイアス配線とバイアス配線6.7または走査線6.6とを縦積み構造とし、かつ縦積み配線した配線間をピアホールなどにより接続することにより並列接続とし、低抵抗化を計るようにも良い。

【0048】但し、走査線6.6と周回バイアス配線13とが交差する箇所については、周回バイアス配線の縦方向に並列して配置された走査線を除いて、周回バイアス配線13と走査線6.6とが短絡しないようにする。

【0049】さらに、周回バイアス配線13の配線面積が所定の面積よりも大きいことを利用して、周回バイアス配線13により周回バイアス配線13に混入するスペイク状の雑音などを除去する容量を形成することにより、バイアス配線から印加されるバイアス電圧が安定化し表示装置の画質を改善することが可能である。

【0050】また従来の単純マトリクス方式の有機EL表示装置と従来のアクティブマトリクス方式の有機EL表示装置共通の問題として、バイアス配線の配線抵抗に

より画素の輝度が低下するのを補うために、余分にバイアス電圧源から電力を供給しなければならず、低消費電力を要求される表示装置の場合には重大な問題であったが、本発明の表示装置は、画素数が多くなってバイアス配線の配線長が長くなった場合においても、バイアス電圧生成回路11から各画素に至るバイアス配線の配線抵抗が小さくなるので、配線部での消費電力が少なく、表示装置全体としての消費電力を低減することができる。

【0051】次に、本発明の表示装置の第2の実施の形態について図面を参照して説明する。

【0052】図2は、発明の表示装置の第2の実施の形態を示すブロック図を表すと共に、本実施の形態の表示装置を構成する構成要素の概略的なレイアウトを示す概略レイアウト図を表す。また、図1と共に構成要素には共通の参照文字／数字を付してある。

【0053】本実施の形態による表示装置は図2(a)に示すように、図2(b)に示すEL素子61、TFT62、63、容量64を含む単位画素21とデータ線接続部21Aと走査線接続部21Bとバイアス配線接続部21Cとからなる画素をマトリクス状に配列している。

【0054】さらに走査線66に平行して配線抵抗が小さいバイアスバス配線14が配列されており、バイアスバス配線14と周回バイアス配線13とは、節点141A、141B、節点142A、142B・・・などで接続されている。

【0055】またバイアス配線67とバイアスバス配線14は、互いに交差する箇所で接続されている。すなわち、画素のm(mは整数)行毎にバイアスバス配線を設けることにより、抵抗率が高い配線であるバイアス配線の配線抵抗に寄与する配線長が短くなるので、単位画素21からバイアスバス配線14、さらに周回バイアス配線13および共通バイアス配線13Cを介してバイアス電圧生成回路11に至る配線経路の配線抵抗を、大幅に小さくすることができる。

【0056】なお上記の説明において、m行毎に1本のバイアスバス配線14を設けるとして説明したが、m1行、m2行、・・・(m1、m2・・・は整数)毎にバイアスバス配線14を設けるようにしても良い。このようなバイアスバス配線を設けることにより、単位画素21からバイアス電圧生成回路11に至る各配線では電流密度がそれぞれ異なることを考慮して、実質的な配線抵抗を均等になるように設定することが可能である。

【0057】次に、本発明の表示装置の第3の実施の形態について図面を参照して説明する。

【0058】図3は、発明の表示装置の第3の実施の形態を示すブロック図を表すと共に、本実施の形態の表示装置を構成する構成要素の概略的なレイアウトを示す概略レイアウト図を表す。また、図1と共に構成要素には共通の参照文字／数字を付してある。

【0059】本実施の形態による表示装置は図3に示す

ように、バイアス電圧生成回路11に近い周回バイアス配線の配線幅が広く、バイアス電圧生成回路11に遠い周回バイアス配線の配線幅が狭くなるように設定されている。

【0060】図3では、上辺部の周回バイアス配線31、左辺部の周回バイアス配線32、右辺部の周回バイアス配線33、下辺部の周回バイアス配線34の配線幅は、それぞれ一定として図示しているが、上辺部の周回バイアス配線31の左方を広く逆に右方を狭くなるように配線幅にテーパを設けても良い。

【0061】このようにバイアス電圧生成回路11に近い周回バイアス配線の配線幅が広く、バイアス電圧生成回路11に遠い周回バイアス配線の配線幅が狭くなるようにすることにより、バイアス電圧生成回路11から各画素に流れる各配線部における電流密度の相違を考慮して、バイアス電圧生成回路11から各画素に至る配線抵抗がそれぞれ均等になるようにすることが可能である。

【0062】次に、本発明の表示装置の第4の実施の形態について図面を参照して説明する。

【0063】図4は、発明の表示装置の第4の実施の形態を示すブロック図を表すと共に、本実施の形態の表示装置を構成する構成要素の概略的なレイアウトを示す概略レイアウト図を表す。また、図1と共に構成要素には共通の参照文字／数字を付してある。

【0064】図1に示す表示装置を構成するバイアス配線67とバイアスバス配線14の共通配線である共通バイアス配線13Cは、バイアス電圧生成回路11の出力端子に1本だけ接続しているのに対し、図4に示す表示装置を構成する複数の共通バイアス配線44A、44B、44C~44N(図4ではN=Cすなわち3本として記載しているが、一般的には任意の本数でよい)は、バイアス電圧生成回路41の異なる出力端子にそれぞれ接続している点が異なっている。

【0065】また共通バイアス配線44A~44Cは、画素領域12の外側に独立して配置されているリング状の周回バイアス配線43A~43Cにそれぞれ接続し、さらに周回バイアス配線43A~43Cにはそれぞれデータ線42A~42Cが上下2つの交差箇所において接続されている。

【0066】このような構成を用いることにより、同時に一列ずつ独立にEL素子に流す電流を制御することができるため、同時に一列ずつのEL素子の輝度を独立に制御することができる。

【0067】一例としてN=3とし、左端の列に赤(R)を発光させるEL素子を、その右隣に緑(G)を発光させるEL素子を、さらにその右隣に青(B)を発光させるEL素子を配列し、R、G、Bの列を単位として配列を繰り返して表示装置を構成した場合、R、G、Bを発光するEL素子の発光効率が累積発光時間の増大と共に低下し、EL素子が劣化した場合でもR、G、B

のEL素子の輝度を独立に制御することが可能なので、色バランスを常時最適に補正することができる。

【0068】本実施の形態による表示装置は、同時に一列ずつ独立にEL素子に流す電流を制御することができるため、同時に一列ずつのEL素子の輝度を独立に制御することができるのみならず、周回バイアス配線43A～43Cを設けることにより、バイアス配線42A～42Cにおける電圧勾配が大幅に緩和され、電圧勾配と共に伴う発光素子に流れる電流の不均一に起因する輝度ムラが大幅に改善される。

【0069】なお図4では記載されていないが、左端の列から右に4～6列目のバイアス配線は、それぞれ周回バイアス配線43A～43Cに接続され、以下同様な接続方法が繰り返される。

【0070】また本発明の表示装置は、画素数が多くなってバイアス配線の配線長が長くなった場合においても、バイアス電圧生成回路から各画素に至るバイアス配線の配線抵抗が小さくなるので、配線部での消費電力が少なく、表示装置全体としての消費電力を低減することができる。

【0071】次に図示していないが第5の実施の形態として、図2に示すバイアスバス配線14を図4に示す表示装置に設けることも可能である。この場合、バイアスバス配線は周回バイアス配線毎に独立して設けるようとする。

【0072】これにより、抵抗率が高い配線であるバイアス配線の配線抵抗に寄与する配線長が短くなるので、各画素からバイアスバス配線、さらに周回バイアス配線43A～43Cおよび共通バイアス配線44A～44Cを介してバイアス電圧生成回路41に至る配線経路の配線抵抗を、大幅に小さくすることができる。

【0073】また発光素子としてEL素子を用いて説明したが、EL素子に限らず他の発光素子を用いても本発明の表示装置は同様に適用できる。

【0074】また図4において、同列に属するTFT62のソースまたはドレンを共通のバイアス配線42A～42Cに接続したが、バイアス配線42A～42Cの接続方法を変更し、同行に属するTFT62のソースまたはドレンを共通のバイアス配線42A～42Cにそれぞれ接続するようにしても同様な効果が得られる。

【0075】また図1～図4において、周回バイアス配線13、31～34、43A～43Cを閉じたリング状の配線として説明したが、必ずしも完全に閉じたループを構成している必要はなく、画素領域12をループ状に囲っていれば本発明は同様に適用できる。

【0076】

【発明の効果】以上説明したように、本発明による表示装置は、画素数が多くなってバイアス配線の配線長が長くなった場合においても、バイアス電圧生成回路から各画素に至るバイアス配線の配線抵抗を小さくすると共に

均一化し、バイアス配線の配線抵抗に起因し発光素子に流れる電流の減少による輝度の低下や、バイアス電圧源から各画素に至るバイアス配線の配線抵抗の不均一による表示画面の輝度ムラを改善供することができる。

【0077】また、バイアス配線の配線抵抗を小さくして配線による消費電力を小さくし、消費電力を低減することができる。

【0078】さらにバイアス配線の消費電力が小さいので、配線の配線寿命が長いという効果が得られる。

【0079】また、周回バイアス配線の配線面積が大きいことを利用して、周回バイアス配線により周回バイアス配線に混入するスパイク状の雑音などを除去する容量を形成することにより、バイアス配線から印加されるバイアス電圧が安定化し表示装置の画質を改善することができる。

【0080】また、画素を構成する発光素子のバイアス電圧を制御して発光素子に流れる電流を変え、発光素子の発光効率が累積発光時間の増大と共に低下し、発光素子が劣化した場合でも、色バランスを常に最適に補正することができる。

【図面の簡単な説明】

【図1】本発明の表示装置の第1の実施の形態を示すブロック図並びに、本実施の形態の表示装置を構成する構成要素の概略的なレイアウトを示す概略レイアウト図である。

【図2】本発明の表示装置の第2の実施の形態を示すブロック図並びに、本実施の形態の表示装置を構成する構成要素の概略的なレイアウトを示す概略レイアウト図である。

【図3】本発明の表示装置の第3の実施の形態を示すブロック図並びに、本実施の形態の表示装置を構成する構成要素の概略的なレイアウトを示す概略レイアウト図である。

【図4】本発明の表示装置の第4の実施の形態を示すブロック図並びに、本実施の形態の表示装置を構成する構成要素の概略的なレイアウトを示す概略レイアウト図である。

【図5】従来の単純マトリクス型有機EL表示装置を示すブロック図である。

【図6】従来のアクティブマトリクス型有機EL表示装置を示すブロック図である。

【符号の説明】

11, 41 バイアス電圧生成回路

12 画素領域

13, 31～34, 43A～43C 周回バイアス配線

13C, 44A～44C 共通バイアス配線

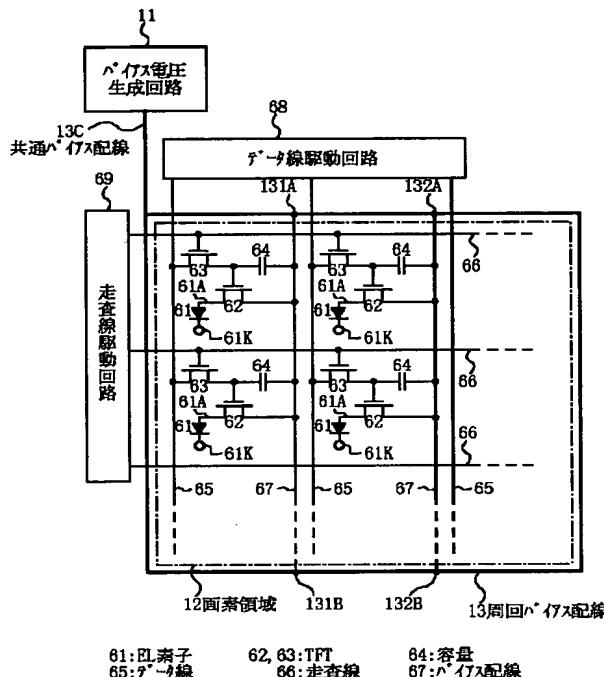
14 バイアスバス配線

21 単位画素

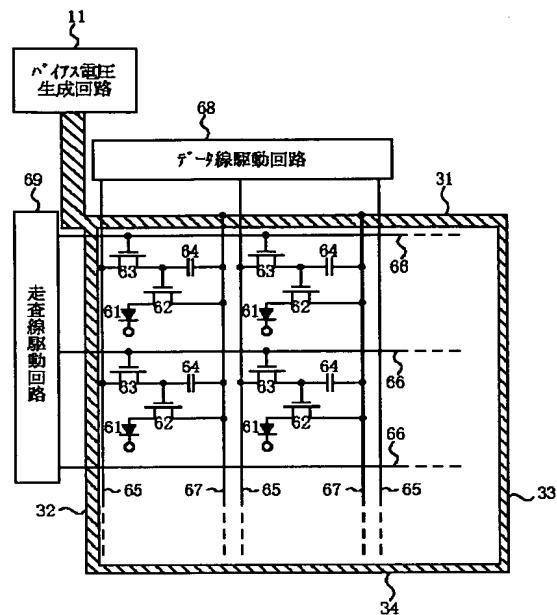
50 21A データ線接続部

- 21B 走査線接続部
 21C バイアス配線接続部
 42A~42C, 67 バイアス配線
 51, 61 EL素子
 62, 63 TFT
 52, 64 容量

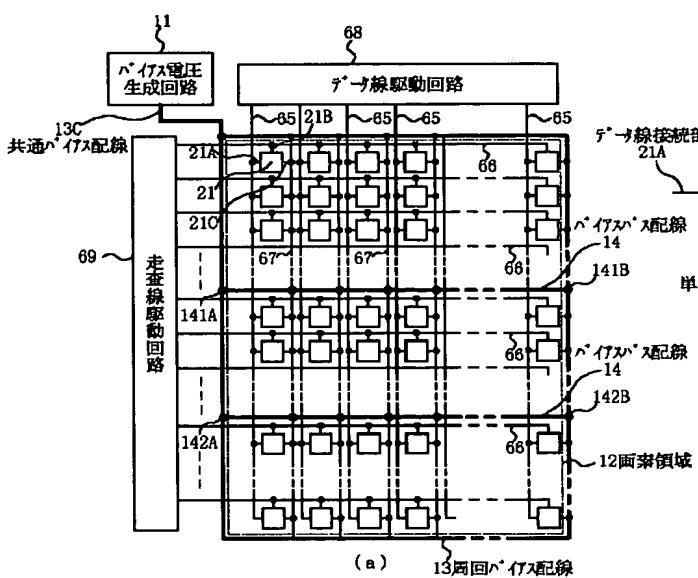
【図1】



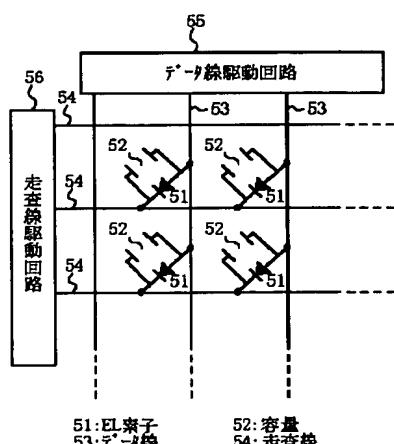
【図3】



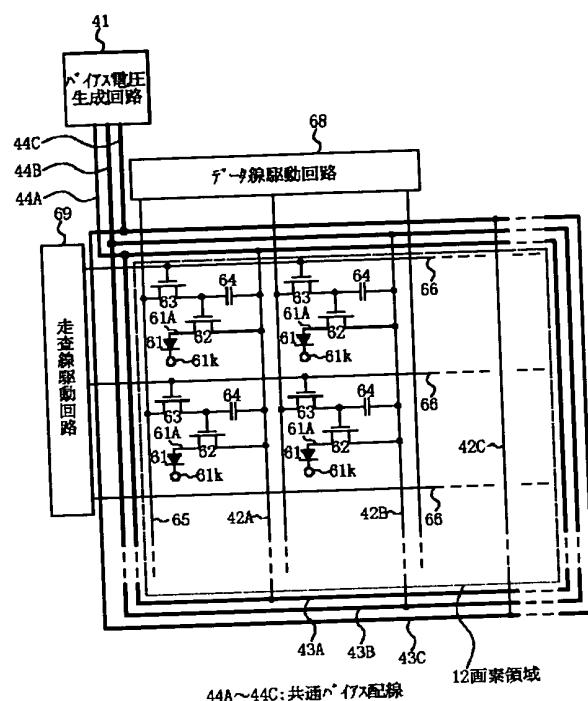
【図2】



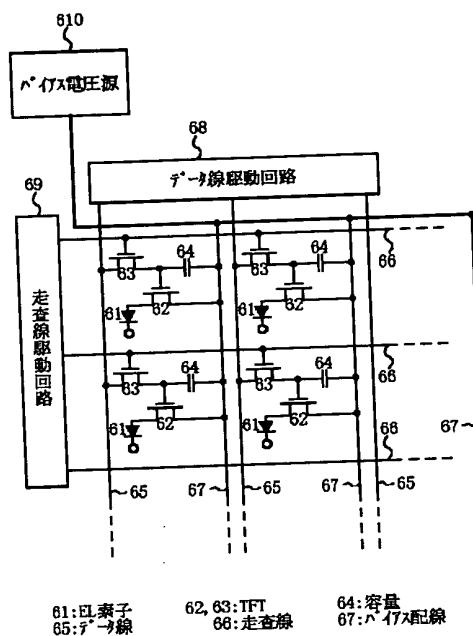
【図5】



【図4】



【図6】



61:EL素子
62, 63:TFT
65:走査線
66:印入配線
67:データ線
64:容量